

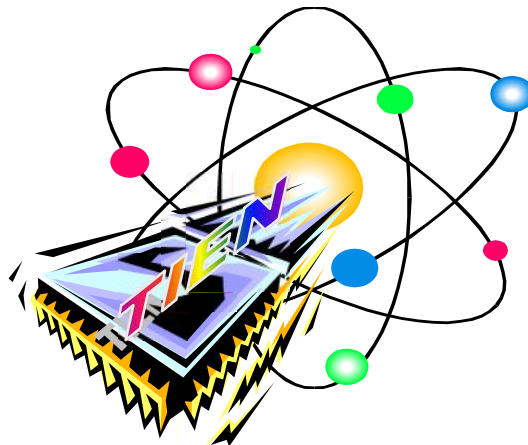
ISTITUTO PROFESSIONALE PER L'INDUSTRIA L'ARTIGIANATO
63039 SAN BENEDETTO DEL TRONTO (AP)

Classe 4 A TIEN

Anno Scolastico 2012-2013

Modulo 2

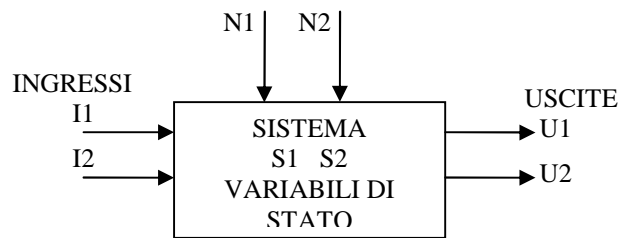
Sintesi di reti sequenziali con gli automi a stati finiti



SISTEMI, AUTOMAZIONE E ORGANIZZAZIONE DELLA PRODUZIONE

Internet: <http://didattica2000.altervista.org>

Un sistema può essere schematizzato come indicato in fig. 1. Le grandezze sui suscettibili di modifiche prendono il nome di variabili.



Sono definiti sistemi sequenziali o con memoria quei sistemi in cui valori assunti delle variabili d'uscita, all'istante in generico t dipendono dal valore ha assunto dalle variabili l'ingresso in quell'istante e dallo stato precedente.

Se il sistema sequenziale a un insieme finito di stati interni, di variabili d'ingresso e di uscita, e se è possibile identificare in esso uno stato iniziale e uno finale, il sistema può essere definito macchina sequenziale a stati finiti o autonoma a stati finiti.

Esistono due modelli: Moore e Mealy

MODELLO O AUTOMA DI MOORE

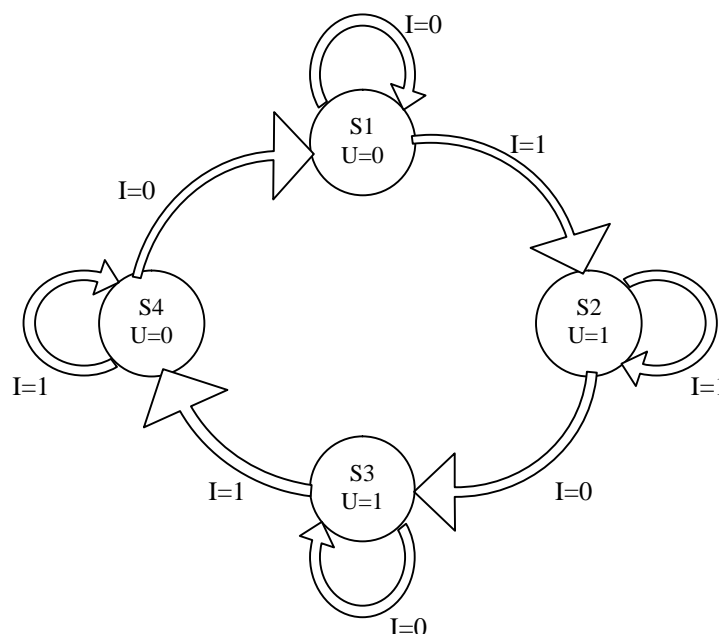
Progettare una rete sequenziale tramite in modello o autonoma di Moore.

Il sistema è composto da un ingresso è un'uscita. L'uscita deve cambiare livello (0/1) ogni volta che l'ingresso (interruttore) passa dallo stato basso ($I = 0$) allo stato alto ($I = 1$).

Soluzione:

Il progetto si sviluppa nei seguenti passi:

1. dalla descrizione del problema si traccia il diagramma degli stati.



2. Si associano ai singoli stati le variabili di stato. Essendo presenti nel sistema quattro stati denominati S_1, S_2, S_3, S_4 , occorrono due variabili di stato ($4 = 2^2$), Q_1 e Q_0 , due Flip Flop. Si associa arbitrariamente agli stati S_1, S_2, S_3, S_4 , una combinazione di Q_1 e Q_0 come indicato nella tabella 1.

Stato	Q 1	Q 0	U
S1	0	0	0
S2	0	1	1
S3	1	1	1
S4	1	0	0

Tab. 1

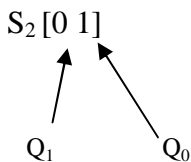
3. Dalla tabella degli stati si passa alla tabella delle transizioni. Nella tabella 2 nella prima colonna, si è indicato lo stato da cui si parte e nelle altre colonne quello in cui si porta il sistema in base a livello assunto dall'ingresso.

Stato di partenza		I	
		0	1
$S_1[0\ 0]$	⇒	$S_1[0\ 0]$	$S_2[0\ 1]$
$S_2[0\ 1]$	⇒	$S_3[1\ 1]$	$S_2[0\ 1]$
$S_3[1\ 1]$	⇒	$S_3[1\ 1]$	$S_4[1\ 0]$
$S_4[1\ 0]$	⇒	$S_1[0\ 0]$	$S_4[1\ 0]$

Tab. 2

In questa tabella sono riportati, accanto agli stati (S_1, S_2, S_3, S_4), anche i valori assunti dalle variabili di stato Q_1 e Q_0 (tra le parentesi quadre).

Es:

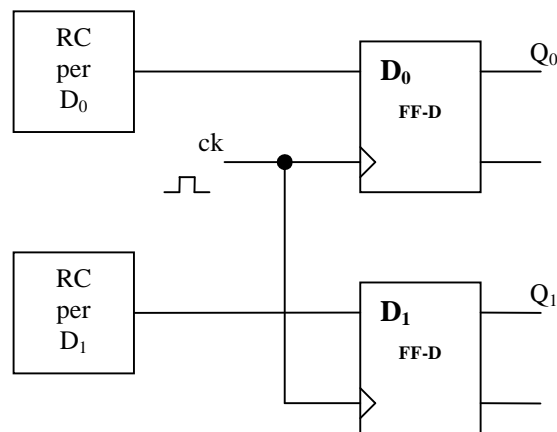


4. Dalla tabella 2 si prelevano i valori posti tra parentesi e si traccia la tabella 3. Le variabili sulla prima colonna sono relative a $Q_1(t)$ e quelle della seconda colonna a $Q_0(t)$. La tabella 3 indica il valore assunto dalle variabili di stato nello stato di partenza $Q(t)$ e quello a cui si deve portare $Q(t+1)$ in base al valore assunto dall'ingresso.

Stato di partenza			$I = 0$		$I = 1$	
$Q_1(t)$	$Q_0(t)$		$Q_1(t+1)$	$Q_0(t+1)$	$Q_1(t+1)$	$Q_0(t+1)$
0	0	⇒	0	0	0	1
0	1	⇒	1	1	0	1
1	1	⇒	1	1	1	0
1	0	⇒	0	0	1	0

Tab.3

5. Si stabilisce il tipo di elemento di memoria (flip flop di tipo T o di tipo D). Si costruisce la tabella di eccitazione della rete combinatorie ad ingresso tenendo conto delle tabelle di transizione del flip flop scelto (tabella 1. 8 pag. 267). Dalla tabella di eccitazione per mezzo delle mappe di Karnaugh si formano le equazioni di eccitazione (ingressi) per mezzo delle quali si procede alla sintesi della rete combinatoria d'ingresso. Se si utilizzano flip flop di tipo D , coincidendo la tabella di transizione ($Q(t+1)$) con quella di eccitazione (ingresso D), è possibile tracciare immediatamente le mappe di Karnaugh relative a D_1 e D_0 . nella tabella 3, si prendono separatamente, nella parte relativa a $I=0$ e $I=1$, le variabili delle prime colonne (per D1) e quelle delle seconde (per D0). Si ottengono così le mappe riportate di seguito.



Stato di partenza			$I=0$		$I=1$	
$Q_1(t)$	$Q_0(t)$		$Q_1(t+1)$	$Q_0(t+1)$	$Q_1(t+1)$	$Q_0(t+1)$
0	0	→	0	0	0	1
0	1	→	1	1	0	1
1	1	→	1	1	1	0
1	0	→	0	0	1	0

D_0

I		
$Q_1 Q_0$	0	1
0 0	0	1
0 1	1	1
1 1	1	0
1 0	0	0

$\bar{Q}_1 \cdot I$

$D_0 = Q_0 \cdot \bar{I} + \bar{Q}_1 \cdot I$

D_1

I		
$Q_1 Q_0$	0	1
0 0	0	0
0 1	1	0
1 1	1	1
1 0	0	1

$Q_1 \cdot I$

$Q_0 \cdot \bar{I}$

$D_1 = Q_0 \cdot \bar{I} + Q_1 \cdot I$

6. Dalla tabella di uscita, per mezzo delle mappe di Karnaugh, si formano le equazioni di uscita per mezzo delle quali si procede alla sintesi della rete combinatoria d'uscita. Nel nostro esempio la tabella di uscita è riportata nel punto 2.

TABELLA D'USCITA

Q_1	Q_0	U
0	0	0
0	1	1
1	1	1
1	0	0

Dalla tabella si nota che l'uscita U coincide con Q_0 quindi non occorre il passaggio alle mappe di Karnaugh

$$U = Q_0.$$

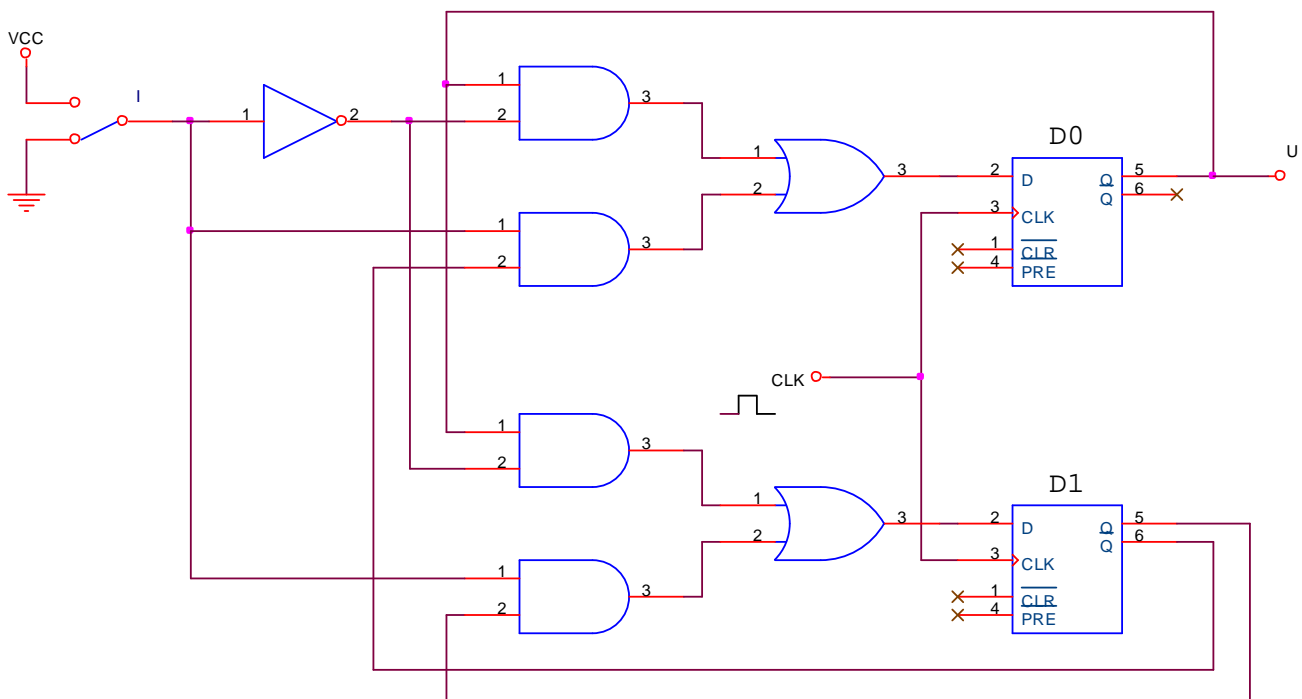
7. Si disegna il circuito completo composto da:

- a. Rete combinatoria d'ingresso.

$$D_1 = Q_0 \cdot \bar{I} + Q_1 \cdot I \quad D_0 = Q_0 \cdot \bar{I} + \bar{Q}_1 \cdot I$$

- b. Elementi di memoria, nel nostro esempio due flip flop di tipo D.

- c. Rete combinatoria d'uscita.



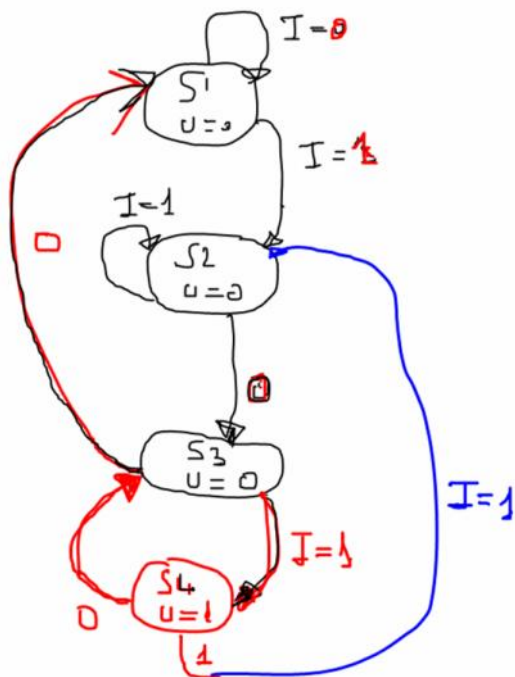
Esercizio 2

All'ingresso I di un dispositivo vengono applicati livelli alti e bassi. Si realizzi l'automa di Moore del sistema con un solo ingresso e una sola uscita in grado di riconoscere la sequenza 101 e che porti alta l'uscita U dopo il riconoscimento della sequenza. Sono sequenze considerate utili 101, 101101 e 10101.

Soluzione

Il progetto si sviluppa nei seguenti passi:

1. dalla descrizione del problema si traccia il diagramma degli stati.



Stato	Q 1	Q 0	U
S 1	0	0	0
S 2	0	1	0
S 3	1	1	0
S 4	1	0	1

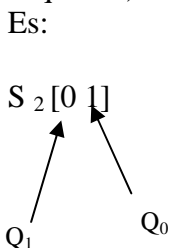
Tabella 1 – Tabella degli stati

$$U = Q_1 \cdot \bar{Q}_0$$

2. Si associano ai singoli stati le variabili di stato. Essendo presenti nel sistema quattro stati denominati S_1, S_2, S_3, S_4 , occorrono due variabili di stato ($4 = 2^2$), Q_1 e Q_0 , due Flip Flop. Si associa arbitrariamente agli stati S_1, S_2, S_3, S_4 , una combinazione di Q_1 e Q_0 come indicato nella tabella 1.
3. Dalla tabella degli stati si passa alla tabella delle transizioni. Nella tabella 2 nella prima colonna, si è indicato lo stato da cui si parte e nelle altre colonne quello in cui si porta il sistema in base a livello assunto dall'ingresso.

Stato di partenza	I	
	0	1
$S_1[0\ 0]$ \Rightarrow	$S_1[0\ 0]$	$S_2[0\ 1]$
$S_2[0\ 1]$ \Rightarrow	$S_3[1\ 1]$	$S_2[0\ 1]$
$S_3[1\ 1]$ \Rightarrow	$S_1[0\ 0]$	$S_4[1\ 0]$
$S_4[1\ 0]$ \Rightarrow	$S_3[1\ 1]$	$S_2[0\ 1]$

In questa tabella sono riportati, accanto agli stati (S_1, S_2, S_3, S_4), anche i valori assunti dalle variabili di stato Q_1 e Q_0 (tra le parentesi quadre).

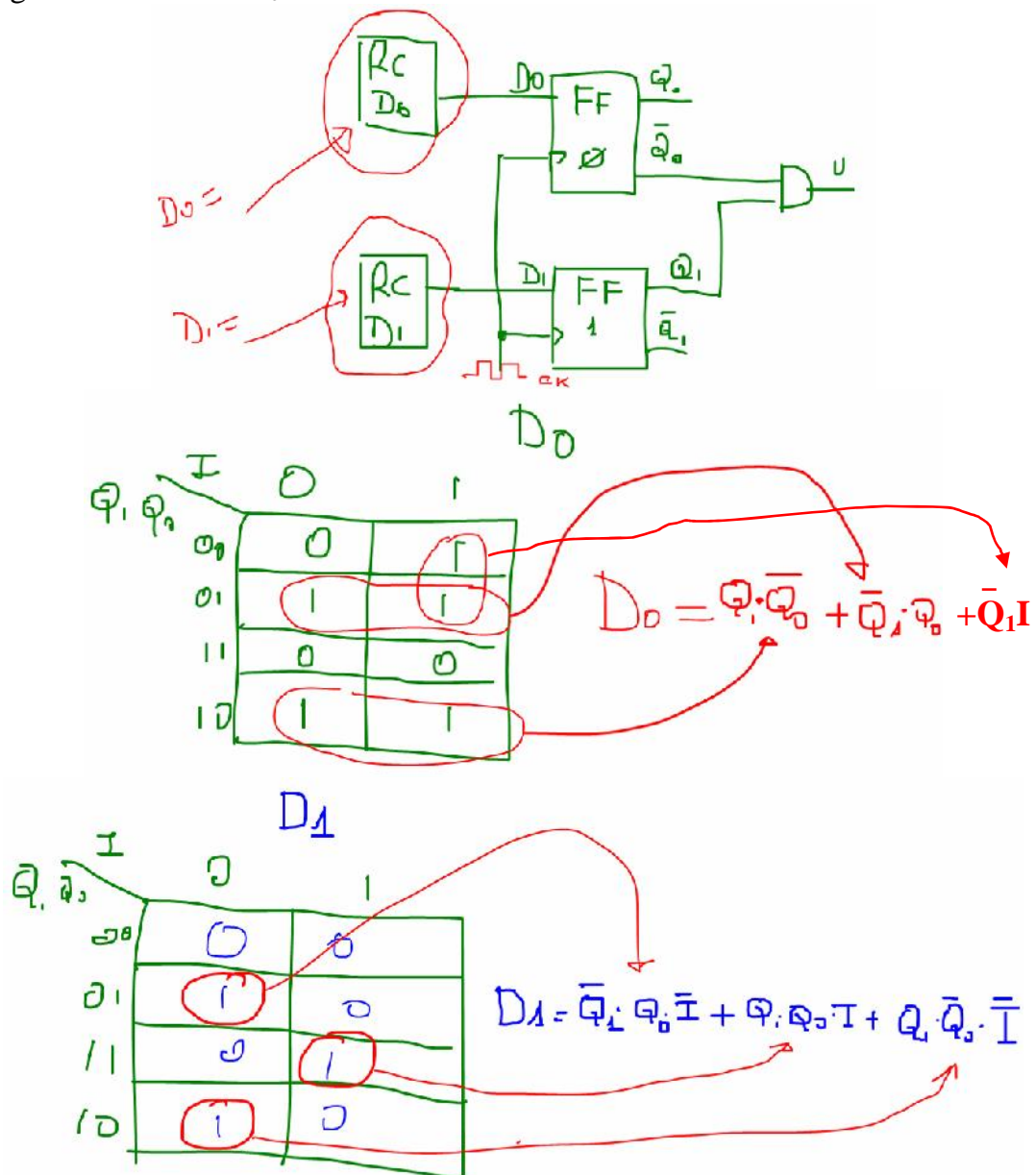


4. Dalla tabella 2 si prelevano i valori in posti tra parentesi e si traccia la tabella 3. Le variabili sulla prima colonna sono relative a $Q_1(t)$ e quelle della seconda colonna a $Q_0(t)$. La tabella 3 e indica il valore assunto dalle variabili di stato nello stato di partenza $Q(t)$ e quello a cui si deve portare $Q(t+1)$ in base al valore assunto dall'ingresso.

Stato di partenza			I = 0		I = 1	
Q ₁ (t)	Q ₀ (t)		Q ₁ (t+1)	Q ₀ (t+1)	Q ₁ (t+1)	Q ₀ (t+1)
0	0	⇒	0	0	0	1
0	1	⇒	1	1	0	1
1	1	⇒	0	0	1	0
1	0	⇒	1	1	0	1

Tab.3

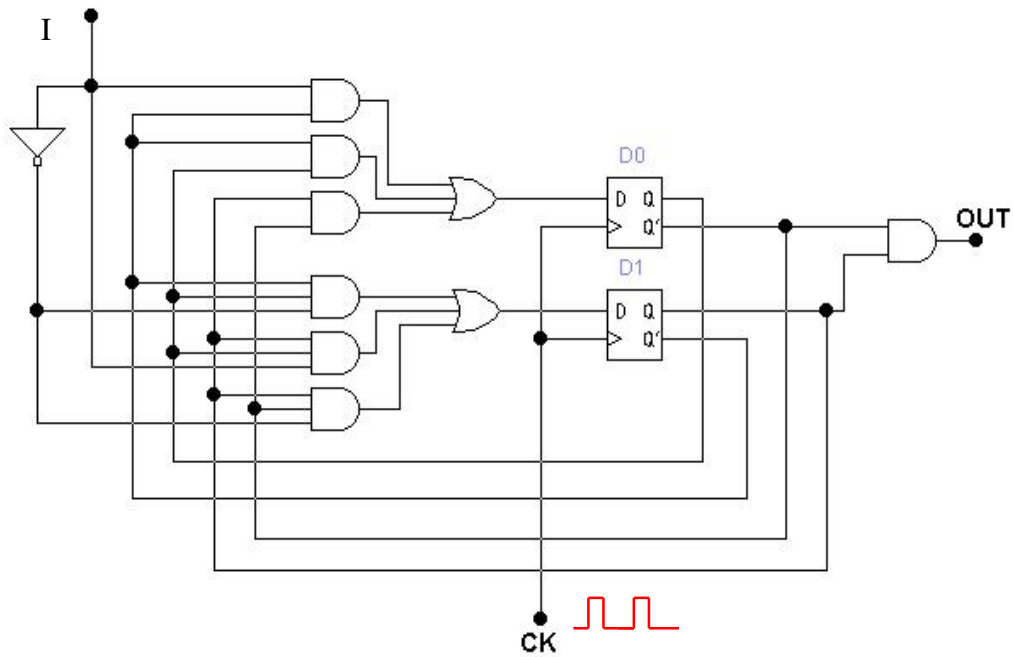
5. Si stabilisce il tipo di elemento di memoria (flip flop di tipo T o di tipo D). Si costruisce la tabella di eccitazione della rete combinatorie ad ingresso tenendo conto delle tabelle di transizione del flip flop scelto (tabella 1. 8 pag. 267). Dalla tabella di eccitazione per mezzo delle mappe di Karnaugh si formano le equazioni di eccitazione (ingressi) per mezzo delle quali si procede alla sintesi della rete combinatoria d'ingresso. Se si utilizzano flip flop di tipo D , coincidendo la tabella di transizione (Q(t+1)) con quella di eccitazione (ingresso D), è possibile tracciare immediatamente le mappe di Karnaugh relative a D₁ e D₀.



6. Dalla tabella di uscita, per mezzo delle mappe di Karnaugh, si formano le equazioni di uscita per mezzo delle quali si procede alla sintesi della rete combinatoria d'uscita. Nel nostro esempio la tabella di uscita è riportata nel punto 2.

$$U = Q_1 \cdot \bar{Q}_0$$

7. Si disegna il circuito completo composto da:
- Rete combinatoria d'ingresso.
 - Elementi di memoria, nel nostro esempio due flip flop di tipo D.
 - Rete combinatoria d'uscita.



Esercizio 3

Determinare un automa a stati finiti secondo il modello di Moore per un sistema a due stati S1 e S2, il primo con uscita U=0, il secondo con uscita U=1 e due ingressi I1 e I2.

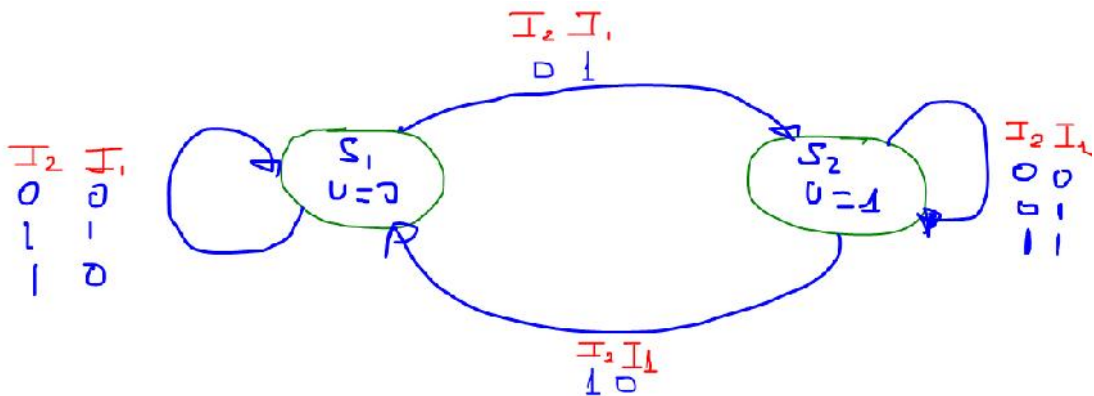
Il sistema si porta da S1 a S2 quando I1=1 e I2=0 e dallo stato S2 a S1 con I1 =0 e I2=1.

Per tutte le altre combinazioni il sistema rimane negli stati in cui si trova.

Soluzione:

Il progetto si sviluppa nei seguenti passi:

- dalla descrizione del problema si traccia il diagramma degli stati.



- Si associano ai singoli stati le variabili di stato. Essendo presenti nel sistema due stati denominati S1, S2, occorre una variabile di stato ($2 = 2^1$), Q0, un Flip Flop. Si associa arbitrariamente agli stati S1, S2 una combinazione di Q0 come indicato nella tabella 1.

STAT.	Q0	U
S1	0	0
S2	1	1

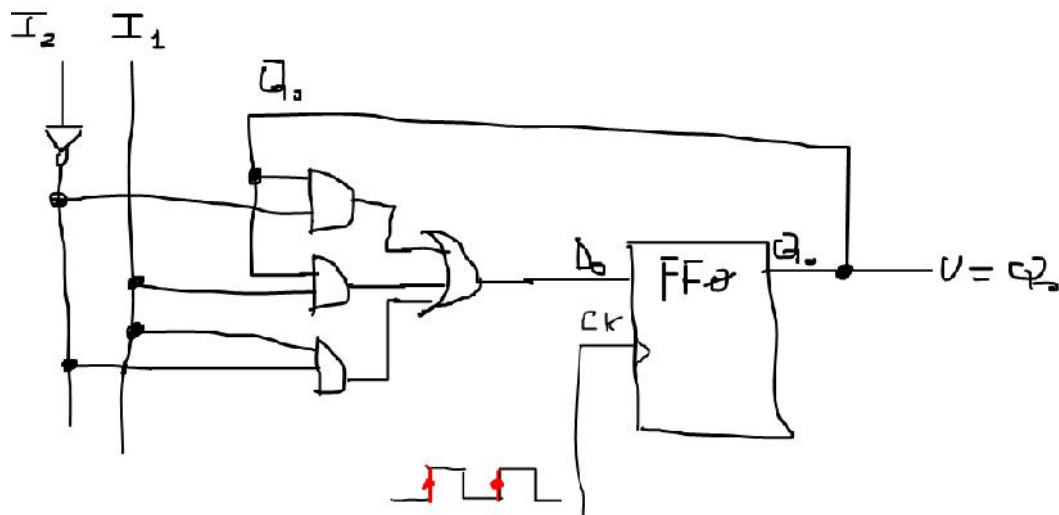
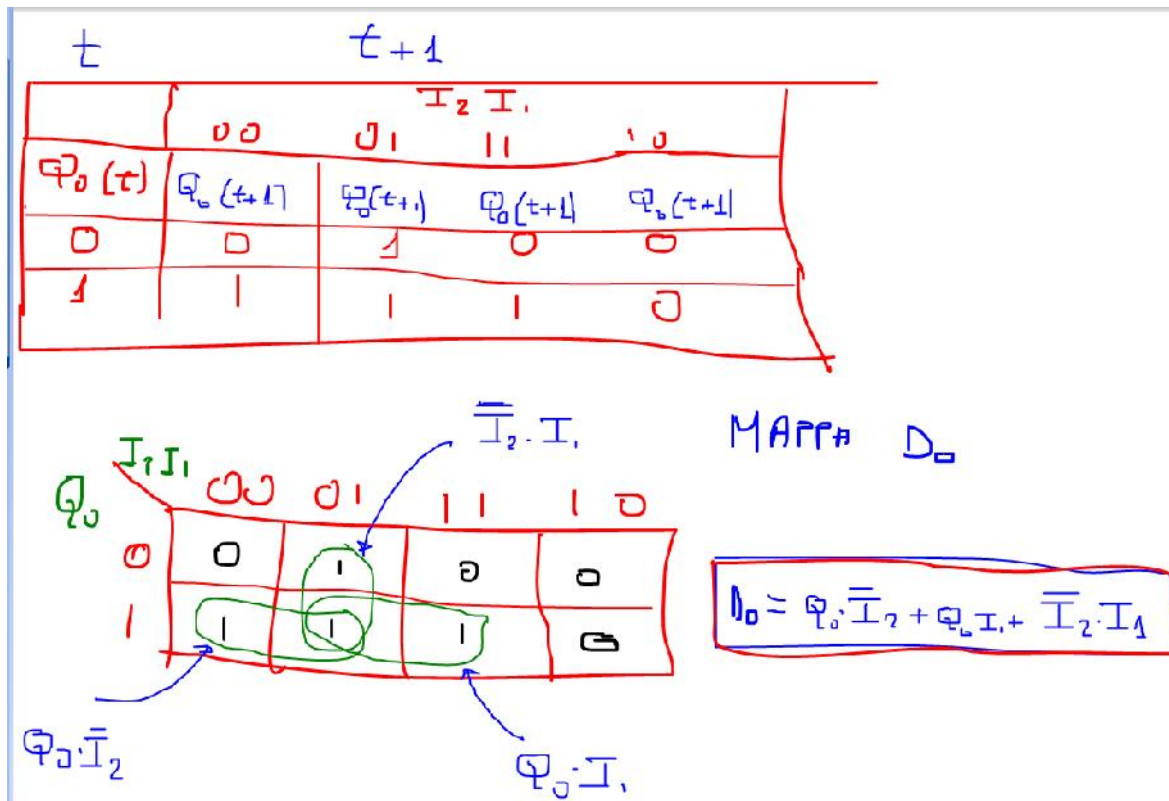
U = Q0

- Dalla tabella degli stati si passa alla tabella delle transizioni. Nella tabella 2 nella prima colonna, si è indicato lo stato da cui si parte e nelle altre colonne quello in cui si porta il sistema in base a livello assunto dagli ingressi.

$t \rightarrow t+1$

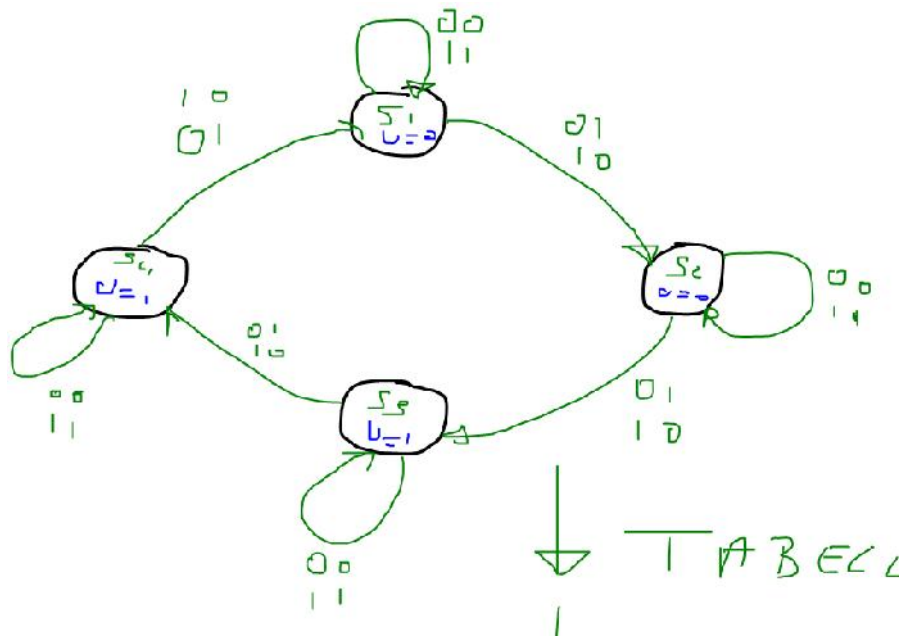
STATO di PART.	I2 I1			
	00	01	11	10
S1 [0]	S1 [0]	S2 [1]	S1 [0]	S1 [0]
S2 [1]	S2 [1]	S2 [1]	S2 [1]	S1 [0]

9. Dalla tabella 2 si prelevano i valori in posti tra parentesi e si traccia la tabella 3. Le variabili sulla prima colonna sono relative a $Q_0(t)$. La tabella 3 e indica il valore assunto dalle variabili di stato nello stato di partenza $Q(t)$ e quello a cui si deve portare $Q(t+1)$ in base al valore assunto dagli ingressi.



Esercizio 4

Assegnato il diagramma degli stati di figura determinare un automa a stati finiti secondo il modello di Moore.



Soluzione